

PCB Layout 设计参考

一、概述

在设计全集成式电流传感器 PCB 布局时，常会遇到一些问题，这些问题会影响芯片的精度，甚至使芯片不能正常工作。这些问题包括电流流动引起的自热，芯片周围大电流或流入芯片的大电流产生的杂散磁场带来的影响，设计 PCB 所要求的爬电距离和系统级隔离要求。下面我们将分析这些问题产生的原因，以及一些布局策略，来规避这些问题。

二、热效应带来的影响

IC 所能承受的电流能力除了本身的设计外，与环境温度、电流大小、PCB 设计散热结构息息相关。

当电流在通过系统时，传感器、PCB 板都会产生热量，如被测电流比较大并且是持续的，那么产生的热量会影响芯片性能，采用散热结构，防止结温达到阈值，所以要尽量保证 PCB 板有较好的散热。以下为一些散热方案，如图 1。

- 在大电流负载的应用中，在成本允许的情况下 PCB 铜皮尽量厚
- 在 IP+、IP- 的焊盘周围采用通孔来增强散热

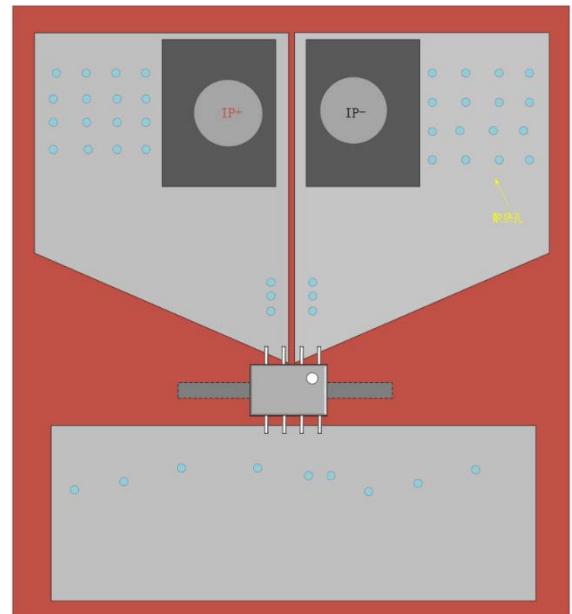


图 1

三、载流迹线对 IC 的影响

全集成式电流传感器虽然设计中内部采用了差模设计可以有效抑制静磁场和电磁场干扰；但由于工控使用环境存在复杂性，我们希望给出有效建议，让设计者在电流测量中达到最佳屏蔽干扰，那么正确的电路板布局和系统设计可以进一步优化可以有效的避免外界产生的杂散干扰源和保障 IC 的安全性。

1. 推荐的载流迹线配置

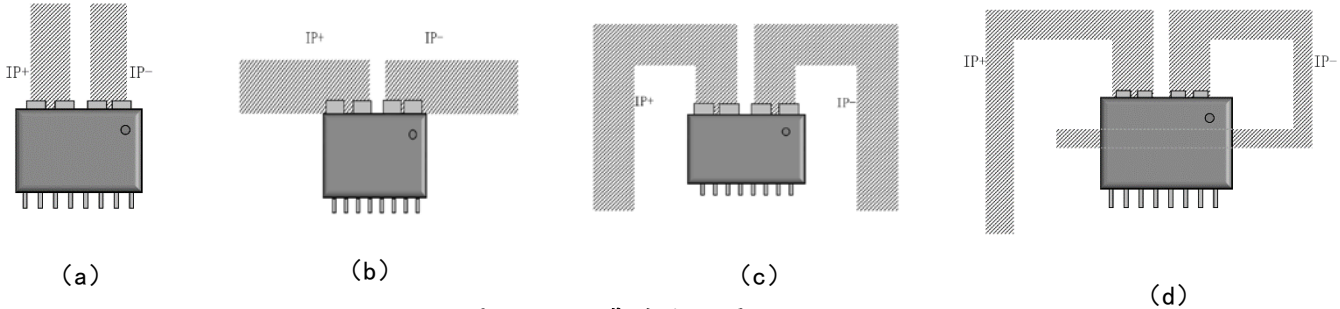


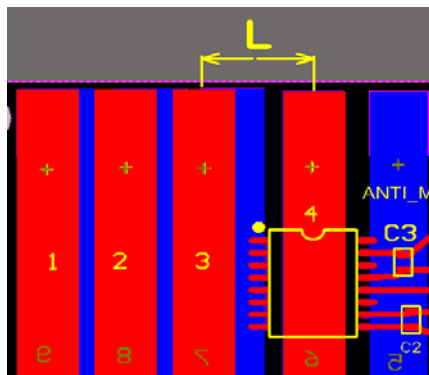
图 2：不同载流迹线配置

- 我们建议如图 2 (a) (b) 所示，两条载流迹线最大误差 < 1%，请在实际环境中评估设计，以获得最高精度。
- 不建议如图 2 (c) (d) 所示，这样会产生更大的杂散磁场造成输出波动，甚至缩小爬电距离降低绝缘耐压，影响到芯片安全。

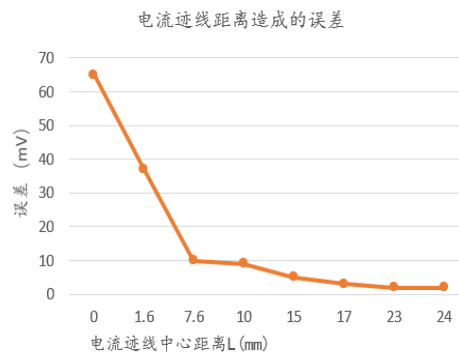
2. 载流迹线与芯片距离变化带来的误差和危害

应用电路中如存在的大电流迹线会产生杂散磁场，距离芯片太近就会造成输出误差，一般这个误差取决于电流迹线布局、实际电流大小、与 IC 的距离、灵敏度大小。

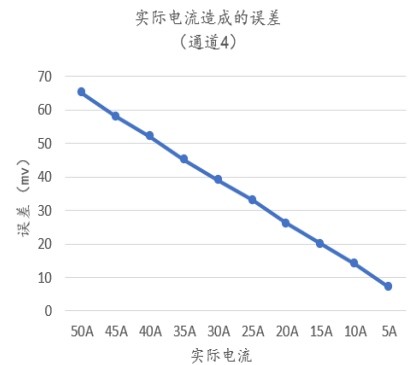
- 图 2 (e) 为测试布局示意图，其中 L 为载流迹线与芯片中心的距离
- 图 2 (f、g) 为造成误差的关系曲线图。



(e)：测试示意图



(f)：距离与误差曲线



(g)：实际电流与误差曲线

图 3：载流迹线的影响

◆ 进行 PCB 设计时，我们不建议载流迹线至于 IC 附近，如果无法避免，请仔细评估以下信息：

(参考图 2、3、4)

- 1) 参考图 3，当 $L > 17\text{mm}$ 时候，对芯片的影响误差理论受影响最小，因此设计中电流迹线需保证距芯片中心 $> 17\text{mm}$ 以上。
- 2) 参考图 2、4，在芯片正下方和芯片后级电路区域存在大电流迹线对芯片精度影响最大，另外高电压电路会减小电路的爬电距离和电气间隙，意味着会降低绝缘耐压，可能会对芯片造成不可逆损害。
- 3) 参考图 4，在进行 PCB 设计时，如果遇到电流迹线或其他干扰源路径必须置于 IC 附近，那么请参考以上描述和图 4 路径应尽可能横向于 IC，将杂散磁场最大程度消除。

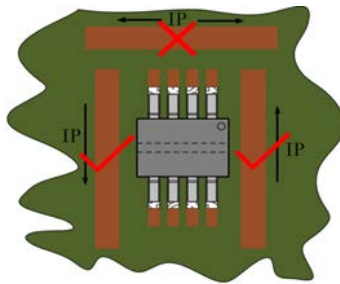


图 4：载流布局示例

四、绝缘设计

全集成 IC 满足 UL/IEC 690950/62368 安全标准，其绝缘等级、爬电和间隙距离如表 1，为了使绝缘耐压最大化，我们建议原边和副边信号侧路径之间保持足够的距离；如果用户有特殊需求，可以在设计时通过载板开槽增加爬电距离（参考图 5）

IC 底部不允许有路径通过，这样会减小爬电距离和间隙，大大降低绝缘耐压，最坏的结果是导致芯片损坏。

| | SOP8 | 标准 SOP16 | SOP16-H |
|----------|--------|----------|---------|
| 爬电距离 | <4mm | <8mm | <8.3mm |
| 基本工作隔离电压 | 600Vpk | 1550Vpk | 1600Vpk |
| 加强工作隔离电压 | | 800Vpk | 800Vpk |

表 1：长期工作隔离电压

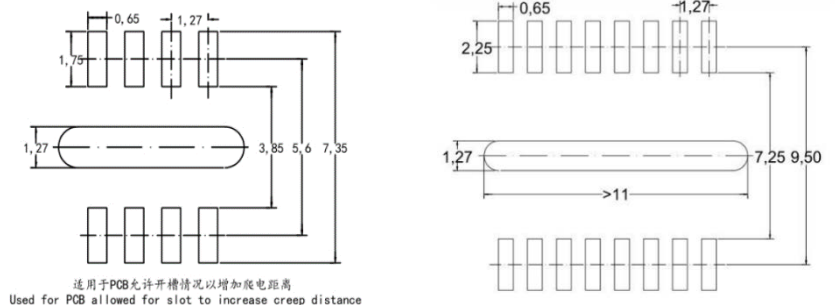


图 5：PCB Layout 参考